

EFFECTOS DE LA RADIACION IONIZANTE SOBRE DISPOSITIVOS RECONFIGURABLES

Federico Fernández¹, Lucas Frutos², Juan C. Fabero³
 fefernandezpy@pol.una.py¹, lfrutos@pol.una.py², jcfabero@ucm.es³
 Facultad Politécnica U.N.A., San Lorenzo, Paraguay

PROGRAMA PROCIENCIA – CONVOCATORIA 2015 - PROYECTO PINV 15-99

RESUMEN

El objetivo de este proyecto es el estudio de los efectos que la radiación ionizante de alta energía produce en los dispositivos reconfigurables o FPGAs. La importancia de este trabajo se debe a la tendencia cada vez más creciente a utilizar estos dispositivos reconfigurables en diseños de alta complejidad por sus características únicas de poder ser reconfigurados sin desconectar el funcionamiento del sistema. El área de interés específico es la investigación de los efectos que las partículas de alta energía producen en la memoria de reconfiguración de los dispositivos reconfigurables. Si los daños son hard errors o soft errors y mejorar mecanismos de recuperación de fallos como los técnicas de tolerancia a fallos (TMR) que permitan mantener la capacidad de funcionamiento de los dispositivos.

INTRODUCCIÓN

Las FPGA (Field Programmable Gate Array) son circuitos que permiten implementar múltiples sistemas digitales gracias a su memoria de configuración. Se pueden producir fallas en su funcionamiento debido a errores provocados por un evento espúreo como un SEU (Single Event Updates) Figura 1, en donde la incidencia de una partícula de alta energía que impacta en el dispositivo puede afectar no sólo a la parte funcional del sistema sino también, y de manera muy importante, a la propia memoria de configuración que determina dicha funcionalidad. Por ello es necesario activar mecanismos que detecten la aparición de un malfuncionamiento del sistema y llegado el caso reparar el area afectada otorgando al sistema un mecanismo que aumente la robustez. Un medio para conseguir este objetivo es aplicar una técnica de tolerancia a fallos conocido como TMR, (Triple Modular Redundancy). Esta técnica consiste en la triplicación de los módulos críticos del sistema, de manera que las salidas de las tres réplicas se someten al escrutinio de un votador, que detecta cualquier discrepancia en el resultado proporcionado por cualquiera de ellas. En el presente trabajo se proponer una mejora de la técnica TMR que permita, por una parte la detección y corrección en tiempo real de los fallos del circuito y, por otra, reduzca el tiempo de reconfiguración del módulo que ha fallado, permitiendo que la tarea siga avanzando.

MATERIALES Y MÉTODOS

Para la realización de este trabajo los principales materiales y recursos que se utilizarán son placas basadas en FPGA, sobre todo placas basadas en la serie 7 de Xilinx Figura 2, así como computadoras basadas en arquitectura Intel para el desarrollo y programación. El software empleado será el entorno Vivado, de Xilinx.

OBJETIVOS

- 1 - Justificación del uso de técnicas de protección TMR en plataformas reconfigurables.
- 2 - Estudio de los efectos de la radiación en circuitos empotrados.
- 3 - Comprensión y uso de las técnicas de reconfiguración parcial dinámica en las plataformas reconfigurables actuales.

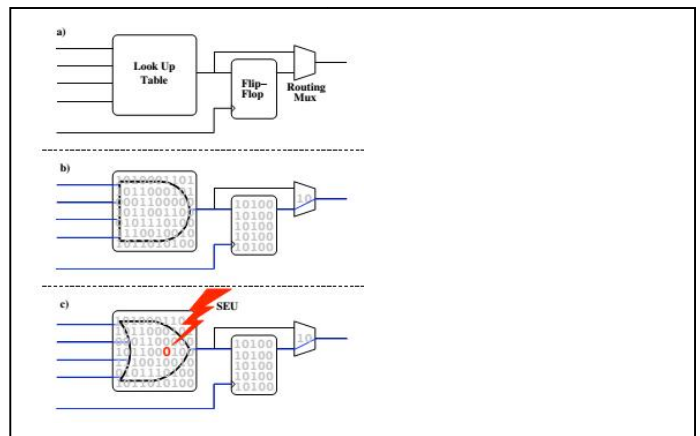


Fig. 1 Error provocado por un Single Event Upsets (SEU)

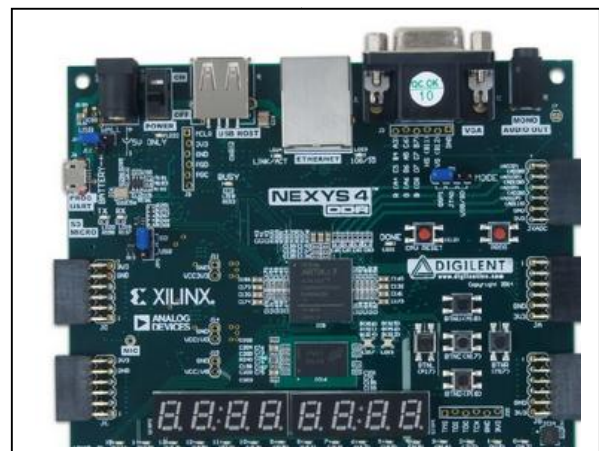


Fig. 2 Sistema basado en FPGA de la serie 7 de Xilinx